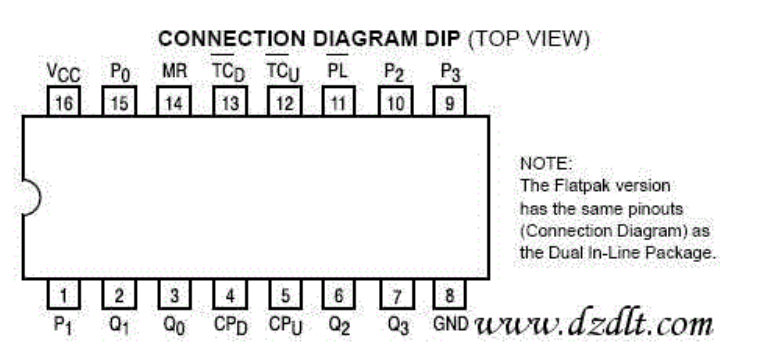
**实验3可编程逻辑器件FPGA应用—彩灯循环电路的设计**

1. **实验目的**
2. 熟悉触发器、计数器、移位寄存器的功能及使用方法；
3. 学会分频器的使用；
4. 熟悉QUARTUS软件的基本使用方法。
5. **实验原理**
6. 计数器74193的功能原理；

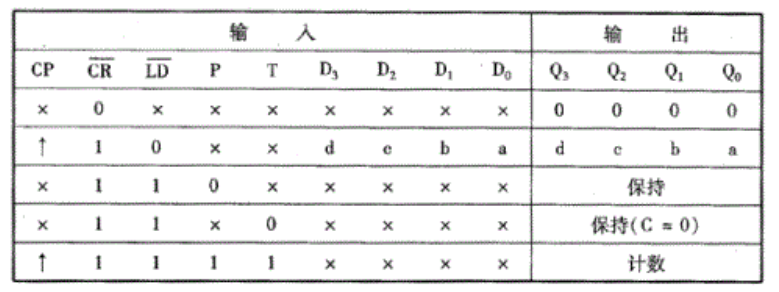


74 LS 193是双时钟4位二进制同步可逆计数器。

74 LS 193的特点是有两个时钟脉冲(计数脉冲)输入端CPU和CPD。在 、RD=0、LD=1 的条件下，作加计数时，令 CPD=1, 计数脉冲从CPU输入：作减计数时，令 CPU=1, 计数

脉冲从CPD输入。此外，74 LS 193还具有异步清零和异步预置数的功能。当清零信号

RD=1 时，不管时钟脉冲的状态如何，计数器的输出将被直接置零：当 RD=0,LD=0 时，不管时钟脉冲的状态如何，将立即把预置数数据输入端A、B、C、D的状态置入计数器的AA、QB、QC、QD端，称为异步预置数。



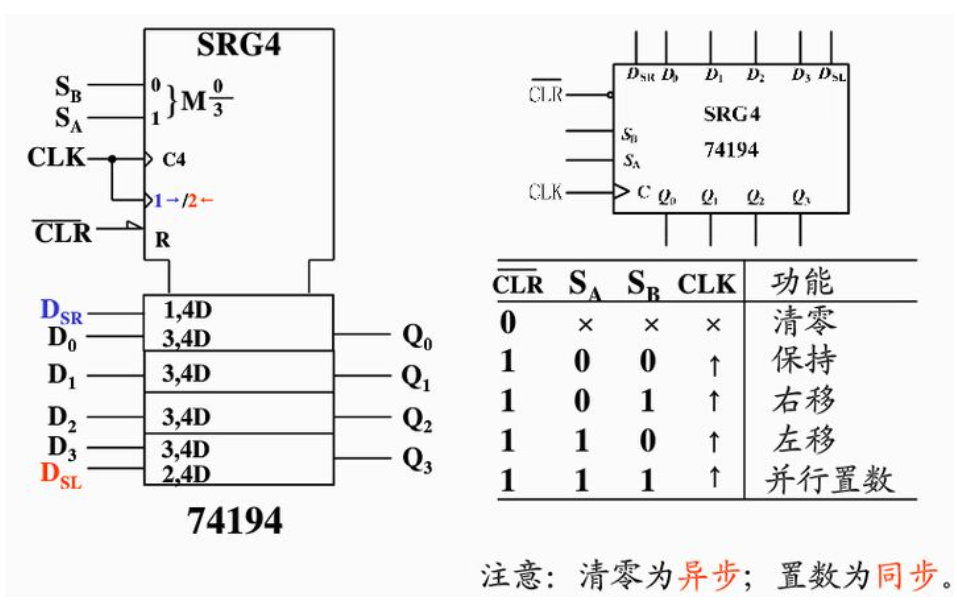
1. 分频器的功能原理；

所谓“分频”，就是把输入信号的频率变成成倍数地低于输入频率的输出信号。它的原理是：把输入的信号作为计数脉冲，由于计数器的输出端口是按一定规律输出脉冲的，所以对不同的端口输出的信号脉冲，就可以看作是对输入信号的“分频”。至于分频频率是怎样的，由选用的计数器所决定。如果是十进制的计数器那就是十分频，如果是二进制的计数器那就是二分频，还有四进制、八进制、十六进制等等。以此类推。

1. 移位寄存器的功能原理。

移位寄存器不仅能够寄存数码，而且具有移位功能。移位是数字系统和计算机技术中非常重要的一个功能。如二进制数0101乘以2的运算，可以通过将0101左移一位实现；而除以2的运算则可通过右移一位实现。把若干个触发器串接起来,就可以构成一个移位寄存器。由4个边沿D 触发器构成的4位移位寄存器逻辑电路。数据从串行输入端D1输入。左边触发器的输出作为右邻触发器的数据输入。假设移位寄存器的初始状态为0000，现将数码D3D2D1D0(1101)从高位(D3)至低位依次送到D1端，经过第一个时钟脉冲后，Q0＝D3。由于跟随数码D3后面的数码是D2，则经过第二个时钟脉冲后,触发器FF0的状态移入触发器FF1,而FF0变为新的状态,即Q1＝D3，Q0＝D2。依此类推,可得4位右向移位寄存器的状态。输入数码依次地由低位触发器移到高位触发器，作右向移动。经过4个时钟脉冲后，4个触发器的输出状态Q3Q2Q1Q0与输入数码D3D2D1D0相对应。

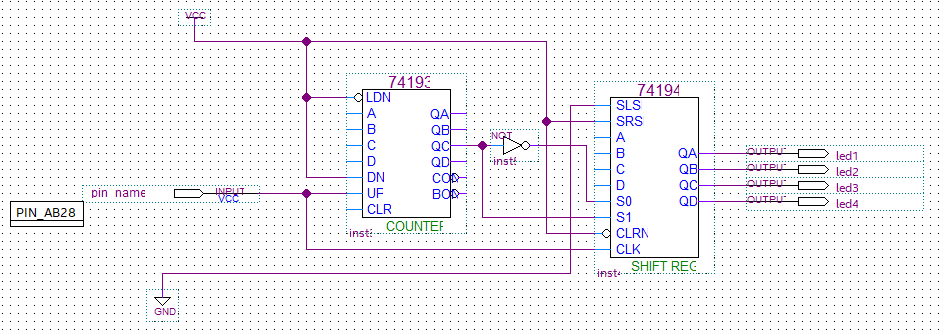
下图为我们用到的移位寄存器74194的功能表。



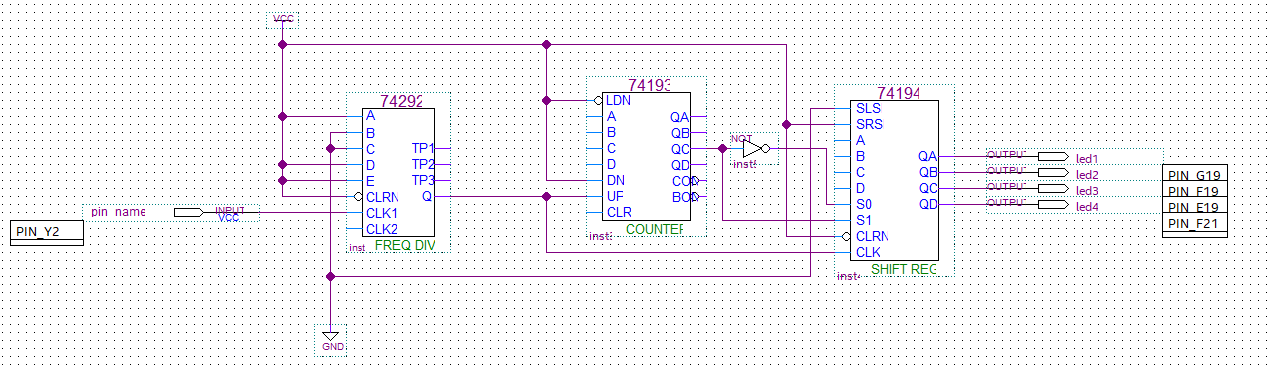
1. **实验内容**

用计数器74193、移位寄存器74194、D触发器和相应逻辑门器件设计一个四个彩灯的循环显示电路，要求彩灯从左至右依次点亮至全亮，再从右到左依次熄灭至全息，彩灯用实验板上的发光二极管实现（注意时钟信号频率的合理选择）。

1. 原理图；

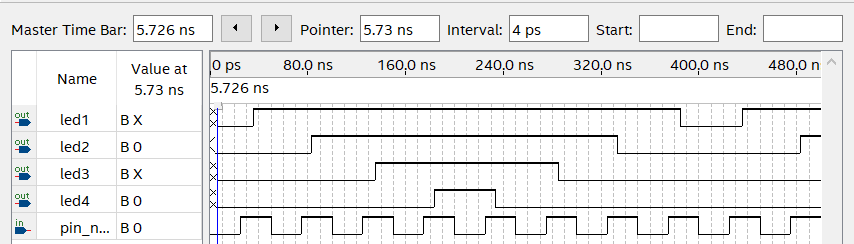


本次设计通过74194移位寄存器实现彩灯从左到右依次点亮，通过74193计数器和非门控制74194的s0和s1从而实现使74194左移计数，从而使彩灯从右到左依次熄灭。



在把程序烧录到DE2上的时候，输入信号可以设置为DE2的CLK时钟信号，但是由于该时钟信号的频率过高，需要把该信号进行分频，这里选用了74292作为分频器。

（2）时序仿真波形。



1. **实验总结**
2. 实验故障及解决方法；

一开始74193计数器输出没有选对，导致灯没有依次熄灭点亮，最后逐步调试解决了问题。

1. 实验体会。

本次实验让我对移位寄存器和计数器的功能更加熟悉，让我学习了如何使用软件设计电路，再把设计的电路烧录到DE-2板子上。让我体验了移位寄存器和计数器的现实生活中的功能，做了一个有趣的实验。

1. **思考题**
2. 移位寄存器除了具有存储数码的功能外，还有什么功能？

还有移位功能。